

CPLD-Aufsteckboard mit JTAG/USB Interface

Autoren: Bulling / Kurz

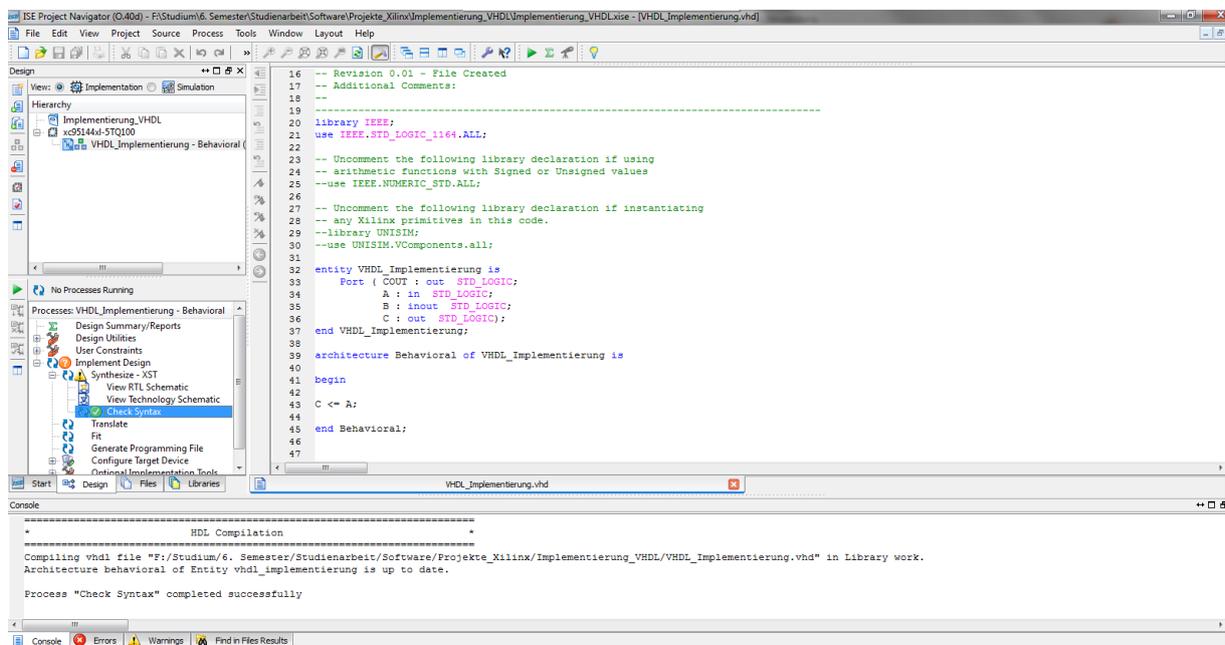
Zeitraum: SS2011

Kurzfassung:

In der Studienarbeit „Neues CPLD-Board“ wird das bereits vorhandene CPLD-Aufsteckboard mit USB/JTAG Interface für die Lernplattform überarbeitet, neu strukturiert und als „Stand-alone-Board“ betrieben. Zur Auswahl des CPLD´s wurde eine Studie zwischen Xilinx- und Altera-Bausteinen über deren Eigenschaften, den Preis und die Verfügbarkeit durchgeführt. Darüber hinaus soll eine USB/JTAG Schnittstelle On-Board integriert werden, dies musste bei der Auswahl des CPLD´s ebenfalls berücksichtigt werden.

Des Weiteren sollen mehrere Testprogramme in VHDL als auch in Schematics geschrieben werden, welche verschiedene Funktionen des Boards demonstrieren.

Das neue CPLD-Aufsteckboard mit JTAG/USB-Interface wird in der Vorlesung Technische Informatik Grundlagen als Übungsboard verwendet. Es wird als standalone Platine eingesetzt und kann über einen USB-Kabel direkt mit dem PC verbunden werden. Mit dem Programm ISE- Design Suite 13.1 von Xilinx kann der CPLD-Baustein in VHDL programmiert werden. Das Board verfügt über je 8 digitale Ein- und Ausgänge, eine 7-Segment Anzeige, eine Spannungsversorgung sowie über 16 Bidirektionale Ports. Mit den 8 Tast-Schalter können die programmierten Schaltungen simuliert werden.



The screenshot shows the Xilinx ISE Project Navigator interface. The main window displays the VHDL code for a project named "VHDL_Implementierung.vhd". The code is as follows:

```
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity VHDL_Implementierung is
33     Port ( COUT : out STD_LOGIC;
34           A : in STD_LOGIC;
35           B : inout STD_LOGIC;
36           C : out STD_LOGIC);
37 end VHDL_Implementierung;
38
39 architecture Behavioral of VHDL_Implementierung is
40
41 begin
42
43     C <= A;
44
45 end Behavioral;
46
47
```

The console window at the bottom shows the following output:

```
HDL Compilation
-----
Compiling vhdl file "F:/Studium/6. Semester/Studienarbeit/Software/Projekte_Xilinx/Implementierung_VHDL/VHDL_Implementierung.vhd" in Library work.
Architecture Behavioral of Entity vhdl_Implementierung is up to date.
Process "Check Syntax" completed successfully
```